

Docket No.: 61282-033

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Norihsia AMAN

Serial No.: Group Art Unit:

Filed: July 23, 2003 Examiner:

For: A CLOCK MULTIPLIER CIRCUIT

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

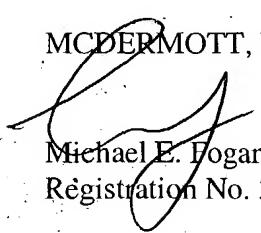
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-214268, filed July 23, 2002

A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mlw.
Facsimile: (202) 756-8087
Date: July 23, 2003

日本国特許庁

JAPAN PATENT OFFICE

61282-033
Norihisa AMAN
July 23, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2002年 7月23日

出願番号

Application Number:

特願2002-214268

[ST.10/C]:

[JP2002-214268]

出願人

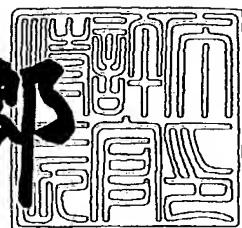
Applicant(s):

松下電器産業株式会社

2003年 5月20日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3037469

【書類名】 特許願
【整理番号】 5037940044
【提出日】 平成14年 7月23日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 1/04
【発明者】
【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】 阿萬 典久
【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社
【代理人】
【識別番号】 100105647
【弁理士】
【氏名又は名称】 小栗 昌平
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100105474
【弁理士】
【氏名又は名称】 本多 弘徳
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100108589
【弁理士】
【氏名又は名称】 市川 利光
【電話番号】 03-5561-3990
【選任した代理人】
【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック通倍回路

【特許請求の範囲】

【請求項1】 基準クロックに対して外部より与えられた通倍率の周波数を有する通倍クロックを出力するクロック通倍回路であって、

前記通倍クロックの周波数に比べて十分高い周波数で発振するリングオシレータと、

前記リングオシレータの出力クロックによる前記基準クロックのサンプリング出力をカウントし前記基準クロックの半周期のカウント値を得る基準クロックカウンタと、

前記基準クロックの半周期のカウント値を前記通倍率で除した値を通倍カウント値として前記リングオシレータの出力クロックにより前記通倍カウント値をカウントする度に前記通倍クロックの出力を反転させる通倍クロックカウンタと、を具備することを特徴とするクロック通倍回路。

【請求項2】 前記リングオシレータは奇数段のインバータを用いて構成されることを特徴とする請求項1記載のクロック通倍回路。

【請求項3】 前記通倍クロックカウンタは前記基準クロックの半周期毎の反転に同期してカウントを開始することを特徴とする請求項1または2記載のクロック通倍回路。

【請求項4】 アンロック検出回路を具備し、前記通倍クロックカウンタは前記通倍カウント値をカウントする度にカウント終了パルスを発生させ、前記アンロック検出回路は前記基準クロックの1周期内に前記カウント終了パルスが検出されなかった場合にアンロック検出と判定し、前記アンロック検出の判定により前記リングオシレータを再起動させることを特徴とする請求項1から3のいずれか1項記載のクロック通倍回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は基準クロックから周波数を通倍したクロックを発生させるクロック通

倍回路に関する。

【0002】

【従来の技術】

従来、基準クロックの周波数を通倍したクロックを得るには、VCO（電圧制御発振器）を用いたPLL（フェーズロックループ）を使用していた。図5はこのようなPLLを使用した従来のクロック通倍回路の構成を示すブロック図である。

【0003】

図5において、501は基準クロック、502は通倍クロック出力、511は位相比較器、512はチャージポンプ、513はローパスフィルタ、514はVCO、515は分周器、516は波形整形回路である。

【0004】 位相比較器511に入力される基準クロック501は、VCO514の出力をN分周する分周器515の出力と比較され、その位相差出力からチャージポンプ512とローパスフィルタ513により生成される制御電圧がVCO514に与えられ、これが基準クロック501のN倍の周波数を発振するように設定されたVCO514を制御することで、PLLのループ制御がなされる。波形整形回路516はVCO514の出力波形のデューティが1/2になるように波形整形を行う。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来のクロック通倍回路には2つの大きな問題点が挙げられる。その1は、従来のクロック通倍回路では、所望の通倍周波数を安定させるためにローパスフィルタの時定数を大きく取る必要があり、このローパスフィルタをLSIに内蔵するときにアナログ素子である抵抗あるいは容量の値を大きくする必要がある。これらのアナログ素子分の面積増加によるチップサイズの増加あるいは抵抗や容量のばらつきにより、PLLがロックせずに発振してしまう可能性があった。

【0006】

その2は、PLLは安定した発振周波数を得るためにロックアップタイムが必要なことである。図6は従来のPLLを使用したクロック倍増回路の出力周波数の動作開始時における遷移状況を示す図である。図6に示すように、従来のPLLを使用したクロック倍増回路では、安定した発振周波数が得られるまでに、動作時間の無駄と消費電流の無駄が生じることが避けられなかった。

【0007】

本発明は上記事情に鑑みてなされたもので、PLLのようにアナログ素子を使用せずに基準クロックから周波数を倍増したクロックを発生し、安定した周波数が得られるクロック倍増回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

この課題を解決するために、本発明の請求項1に係るクロック倍増回路は、基準クロックに対して外部より与えられた倍増率の周波数を有する倍増クロックを出力するクロック倍増回路であって、前記倍増クロックの周波数に比べて十分高い周波数で発振するリングオシレータと、基準クロックの半周期のカウント値を得るためにリングオシレータの出力クロックによる基準クロックのサンプリング出力をカウントする基準クロックカウンタと、得られた基準クロックの半周期のカウント値を前記倍増率で除した値を倍増カウント値と定義するときに、リングオシレータの出力クロックにより前記倍増カウント値をカウントする度に倍増クロックの出力を反転させる倍増クロックカウンタと、を具備するものである。

【0009】

上記構成によれば、アナログ素子を用いず、倍増カウント値をカウントする回路で倍増クロックを生成することにより、フィードバックループの無いクロック倍増回路が構成できるため、PLLのような過渡応答の無い出力が得られる。

【0010】

また、フリーラン動作のリングオシレータの出力クロックを用いて基準クロックの半周期のカウント値を得、同じリングオシレータの出力クロックを用いて倍増カウント値をカウントすることにより倍増クロックを生成しているため、リングオシレータの発振周波数が電源電圧変動や温度変動により変動しても、その変

動に応じた補正が自動的に行われる。

【0011】

本発明の請求項2に係るクロック通倍回路は、請求項1記載のクロック通倍回路において、リングオシレータは奇数段のインバータを用いて構成されるものである。

【0012】

上記構成によれば、リングオシレータは奇数段のインバータで実現されているため、VCO等を用いた場合に必要となる発振周波数制御電圧範囲（ダイナミックレンジ）を必要とせず、回路の低電圧化が容易となる。

【0013】

本発明の請求項3に係るクロック通倍回路は、請求項1または2記載のクロック通倍回路において、前記通倍クロックカウンタは基準クロックの半周期毎の反転に同期してカウントを開始するものである。

【0014】

上記構成によれば、基準クロックの半周期毎の反転に同期して通倍クロックを生成するためのカウントを開始するため、位相比較器を用いずに通倍クロックの位相を基準クロックの位相を揃えることができる。

【0015】

本発明の請求項4に係るクロック通倍回路は、請求項1から3のいずれか1項記載のクロック通倍回路において、さらにアンロック検出回路を具備し、前記通倍クロックカウンタは前記通倍カウント値をカウントする度にカウント終了パルスを発生させ、アンロック検出回路は基準クロックの1周期内にカウント終了パルスが検出されなかった場合にアンロック検出と判定し、このアンロック検出の判定によりリングオシレータを再起動させるものである。

【0016】

上記構成によれば、基準クロックの1周期内にカウント終了パルスが検出されなかった場合にアンロック検出を判定することにより、リングオシレータが停止したために通倍クロックが得られない場合を検出することができ、このアンロック検出判定によりリングオシレータを再起動させることで、クロック通倍回路の

動作を自動復帰させることができる。

【0017】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

図1は本発明の一実施の形態に係るクロック倍増回路の構成を示すブロック図である。図1において、101は基準クロック、102は倍増クロック出力、103は倍増率入力、104はアンロック検出出力、111はリングオシレータ、112は基準クロックカウンタ、113は倍増率設定回路、114は倍増クロックカウンタ、115はアンロック検出回路、116は復帰回路である。

【0018】

リングオシレータ111は、基準クロックおよび倍増クロックに比べて十分高い周波数のクロックを発振する回路であるが、精度を必要としないため奇数段のインバータを接続して簡単に実現することが可能である。図2は、奇数段のインバータを接続したリングオシレータの構成例を示す回路図である。図2において、201はリセット信号、202は復帰パルスS4、211および212～215はインバータ、216は起動パルス印加回路、217はOR回路である。

【0019】

また、図3は図2のリングオシレータ111の動作を説明するタイミング図である。図3に示すように、リセット信号201が入力している間はインバータ211の出力がLレベルに固定されるため、リングオシレータ111は動作を停止している。

【0020】

リセット信号201がLレベルになると、奇数段のインバータの遅延時間で決まる発振周波数でリングオシレータ111が動作を開始する。奇数段のインバータの入出力が中間電位となった場合に想定されるリングオシレータ111の発振停止に対しては、復帰パルスS4をOR回路217を介して起動パルス印加回路216に印加することにより、リングオシレータ111を再起動させるようにしている。

【0021】

図4は、以上のように構成されたクロック倍増回路の動作を説明するタイミング図である。以下、図1から4を参照して本実施例のクロック倍増回路の動作を説明する。ここで説明のために、リングオシレータ111の発振周波数 f_1 を約20MHz、基準クロック101の周波数 f_0 を1MHz、倍増クロック102の周波数 f_2 を2MHz、すなわち倍増率 $N=2$ と仮定する。

【0022】

まず、基準クロックカウンタ112において、基準クロック101をリングオシレータ111の出力クロック f_1 でサンプリングし、基準クロック101が反転するまでのサンプリングパルスをカウントすることにより、基準クロック101の半周期のサンプリング値 $M=10$ を得る。

【0023】

ここで、サンプリング動作においては、ハザードが生じないようにリングオシレータ111の出力クロックに同期して基準クロック101の変化点を捉えるようとする。例えば、リングオシレータ111の出力クロックの立下りで基準クロック101の変化点を捉え、立ち上がりで基準クロックカウンタ112を動作させる。

【0024】

倍増率設定回路113は、基準クロック101の半周期のサンプリング値 $M=10$ と、倍増率入力により与えられる倍増率 $N=2$ により、倍増カウント値 $M/N=5$ を算出する。この倍増カウント値 M/N は、最新の値が常時倍増クロックカウンタ114に入力されるようにする。

【0025】

倍増クロックカウンタ114は、基準クロック101をリングオシレータ111の出力クロック f_1 でサンプリングして基準クロック101が反転する変化点を捉え、この変化点を起点にしてリングオシレータ111の出力クロック f_1 でカウントし、倍増カウント値 M/N までカウントする度に出力を反転させることにより、半周期が基準クロック101の $1/N$ 、すなわち周波数 f_2 が基準クロックの周波数 f_1 のN倍の倍増クロック102を生成する。

【0026】

ここでサンプリング動作においては、基準クロックカウンタ112の場合と同様に、ハザードが生じないようにリングオシレータ111の出力クロックに同期して基準クロック101の変化点を捉えるようとする。例えば、リングオシレータ111の出力クロックの立下りで基準クロック101の変化点を捉え、立ち上がりで通倍クロックカウンタ114を動作させる。

【0027】

アンロック検出回路115には、基準クロック101の各周期で出力されるパルスS1と、通倍クロックカウンタ114からは通倍カウント値M/Nまでカウントしたことを示すカウント終了パルスS2とが与えられ、カウント終了パルスS2が基準クロック毎に発生しなかった場合に、これをアンロックとして検出する。

【0028】

アンロック検出回路115は、例えば、パルスS1でセットされカウント終了パルスS2でリセットされるフリップフロップを設け、パルスS1の入力時にフリップフロップがセットされていた場合に、これをアンロックとして検出することで、容易に実現することができる。

【0029】

復帰回路116はアンロック検出回路115の出力の変化を受けて、微分回路等により復帰パルスS4を発生させ、これをリングオシレータ111に印加することで、リングオシレータ111を再起動させることができ、（アンロックの原因がリングオシレータの停止による場合は）復帰が可能となる。

【0030】

以上の動作において、基準クロックカウンタ112では、リングオシレータ111の出力クロックを用いて基準クロック101の変化点を捉えて半周期のサンプリング値Mを得、通倍クロックカウンタ114では、同じリングオシレータ111の出力クロックを用いて通倍カウント値M/Nまでカウントしているため、リングオシレータ111の発振周波数f1が変動しても、その変動に応じた補正が自動的に行われることになる。

【0031】

これを図4により説明すると、時刻t1においてはサンプリング値M=10が得られるため、遅倍カウント値M/N=5が算出され、遅倍クロック102(f2)はリングオシレータの出力クロックf1の5パルス毎に反転しているが、時刻t2においてはリングオシレータ111の発振周波数f1が変動し、サンプリング値M=7となるため、遅倍カウント値M/N=3が算出され、遅倍クロック102(f2)はリングオシレータの出力クロックf1の3パルス毎に反転することになり、最後の半周期は位相誤差を含む波形となる。

【0032】

また、遅倍クロックカウンタ114において、基準クロック101の変化点を起点にしてリングオシレータ111の出力クロックf1でカウントすることにより、生成される遅倍クロック102の位相を基準クロック101に合わせることができる。直接位相同期を行う方法ではないため、PLLに比べて遅倍クロック1パルス毎の精度は劣るが、基準クロック周期毎に時間を合わせることが可能であり、簡易に位相を同期させたN倍のクロックを生成することができる。

【0033】

【発明の効果】

以上説明したように、本発明によれば、遅倍カウント値をカウントする回路で遅倍クロックを生成することにより、アナログ素子を用いないためLSIのチップサイズを小さくすることができ、また、フィードバックループの無いクロック遅倍回路が構成できるため、PLLのような過渡応答の無い出力が得られる。

【0034】

さらに本発明によれば、フリーラン動作のリングオシレータの出力クロックを用いて基準クロックの半周期のカウント値を得、同じリングオシレータの出力クロックを用いて遅倍カウント値をカウントすることにより遅倍クロックを生成しているため、リングオシレータの発振周波数が電源電圧変動や温度変動により変動しても、その変動に応じた補正が自動的に行われるという優れた効果が得られる。

【0035】

さらに本発明によれば、リングオシレータは奇数段のインバータで実現されて

いるため、アナログ素子を用いた回路に比べて回路設計が容易であり、VCO等を用いた場合に必要となる発振周波数制御電圧範囲（ダイナミックレンジ）を必要とせず、回路の低電圧化が容易となるという優れた効果が得られる。

【0036】

さらに本発明によれば、基準クロックの半周期毎の反転に同期して遅倍クロックを生成するためのカウントを開始するため、位相比較器を用いずに遅倍クロックの位相を基順クロックの位相に揃えることができる。

【0037】

さらに本発明によれば、基準クロックの1周期内にカウント終了パルスが検出されなかった場合にアンロック検出を判定することにより、リングオシレータが停止したために遅倍クロックが得られない場合を検出することができ、このアンロック検出判定によりリングオシレータを再起動させることで、クロック遅倍回路の動作を自動復帰させることができるという優れた効果が得られる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態に係るクロック遅倍回路の構成を示すブロック図。

【図2】

奇数段のインバータを接続したリングオシレータの構成を示す回路図。

【図3】

奇数段のインバータを接続したリングオシレータの動作を説明するタイミング図。

【図4】

本発明の一実施の形態に係るクロック遅倍回路の動作を説明するタイミング図

【図5】

従来のPLLを使用したクロック遅倍回路の構成を示すブロック図。

【図6】

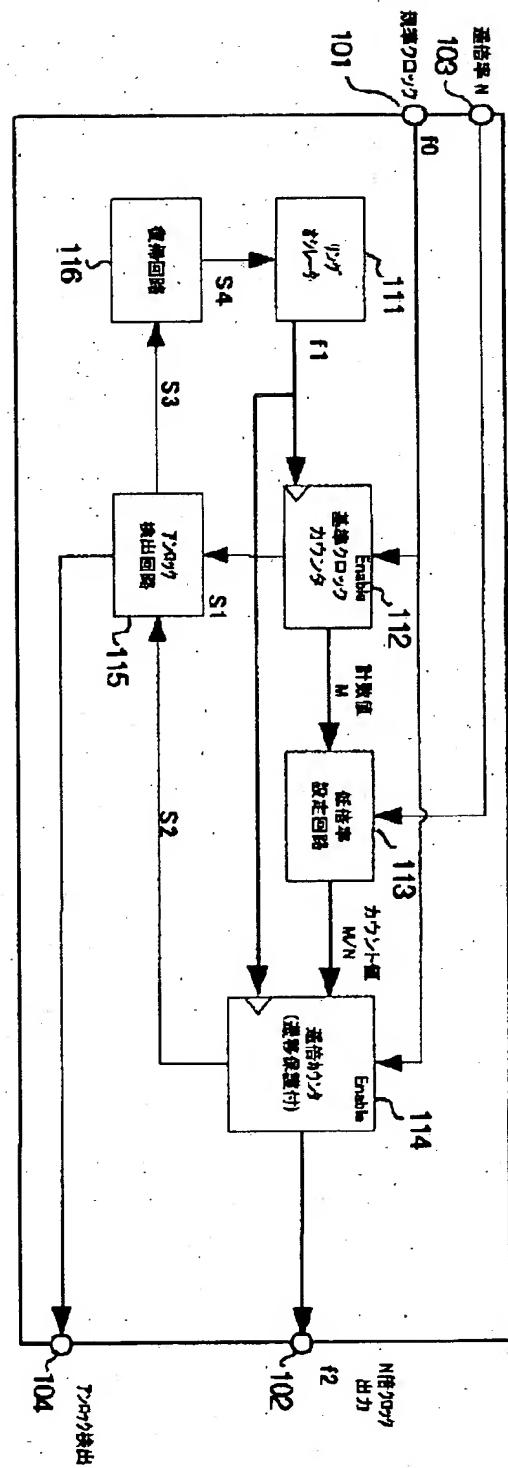
従来のPLLを使用したクロック遅倍回路の出力周波数の動作開始時における遷移状況を示す図。

【符号の説明】

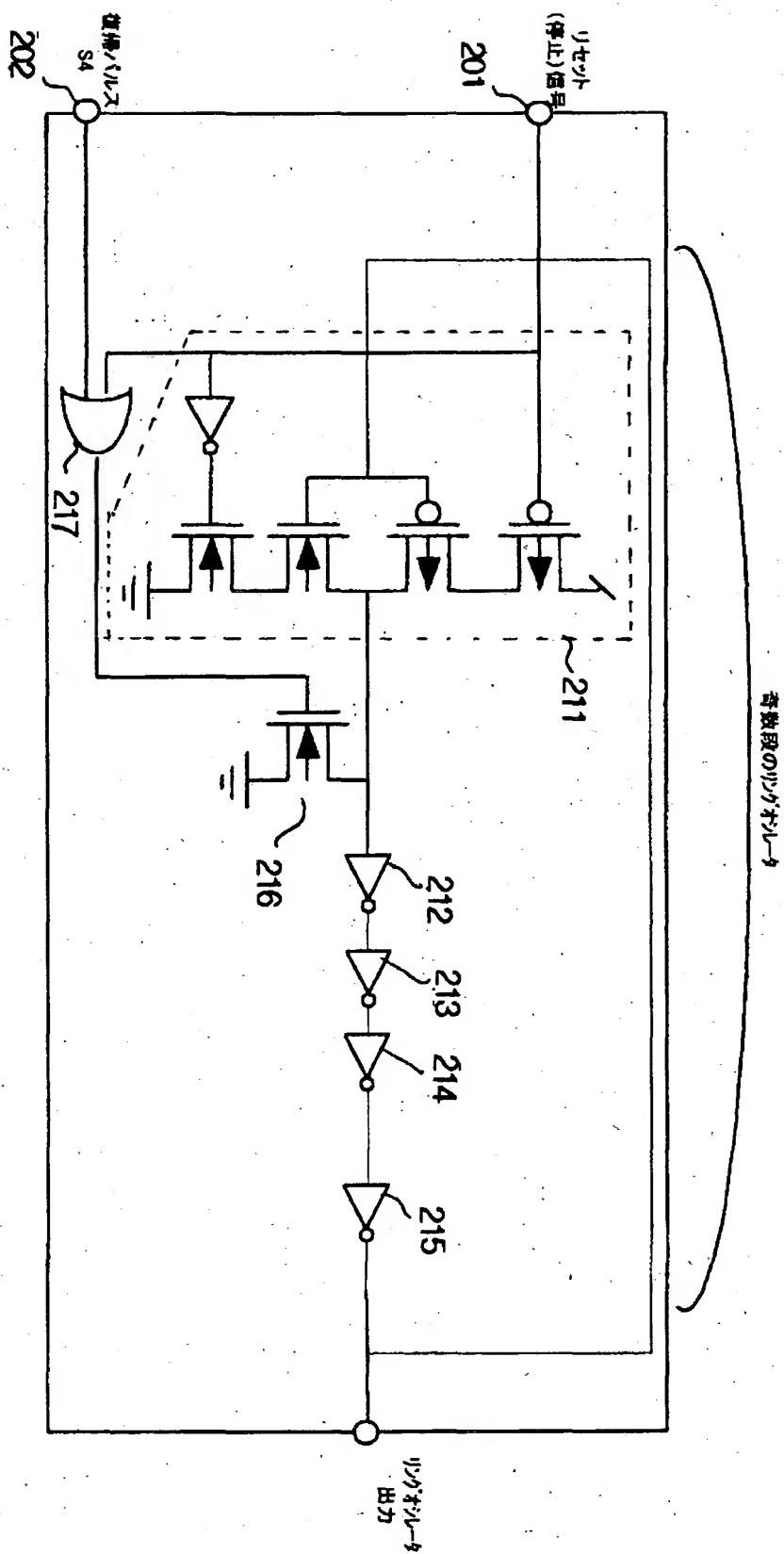
- 101 基準クロック
- 102 通倍クロック出力
- 103 通倍率入力
- 104 アンロック検出出力
- 111 リングオシレータ
- 112 基準クロックカウンタ
- 113 通倍率設定回路
- 114 通倍クロックカウンタ
- 115 アンロック検出回路
- 116 復帰回路
- 201 リセット信号
- 202 復帰パルス
- 211~215 インバータ
- 216 起動パルス印加回路
- 217 O.R回路
- 501 基準クロック
- 502 通倍クロック出力
- 511 位相比較器
- 512 チャージポンプ
- 513 ローパスフィルタ
- 514 VCO
- 515 分周器
- 516 波形整形回路

【書類名】 図面

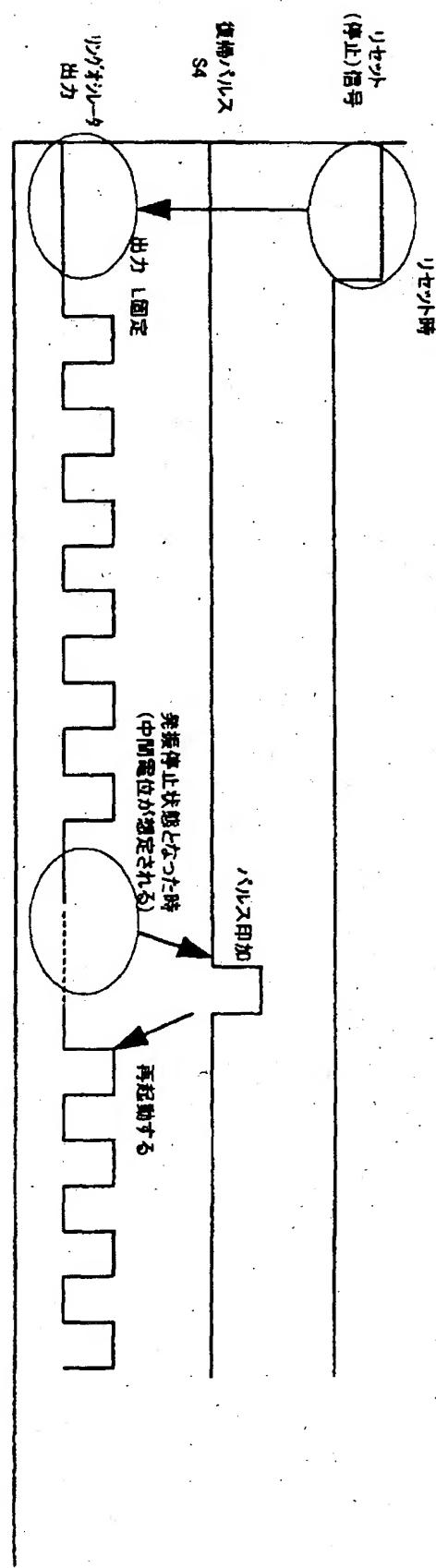
【図1】



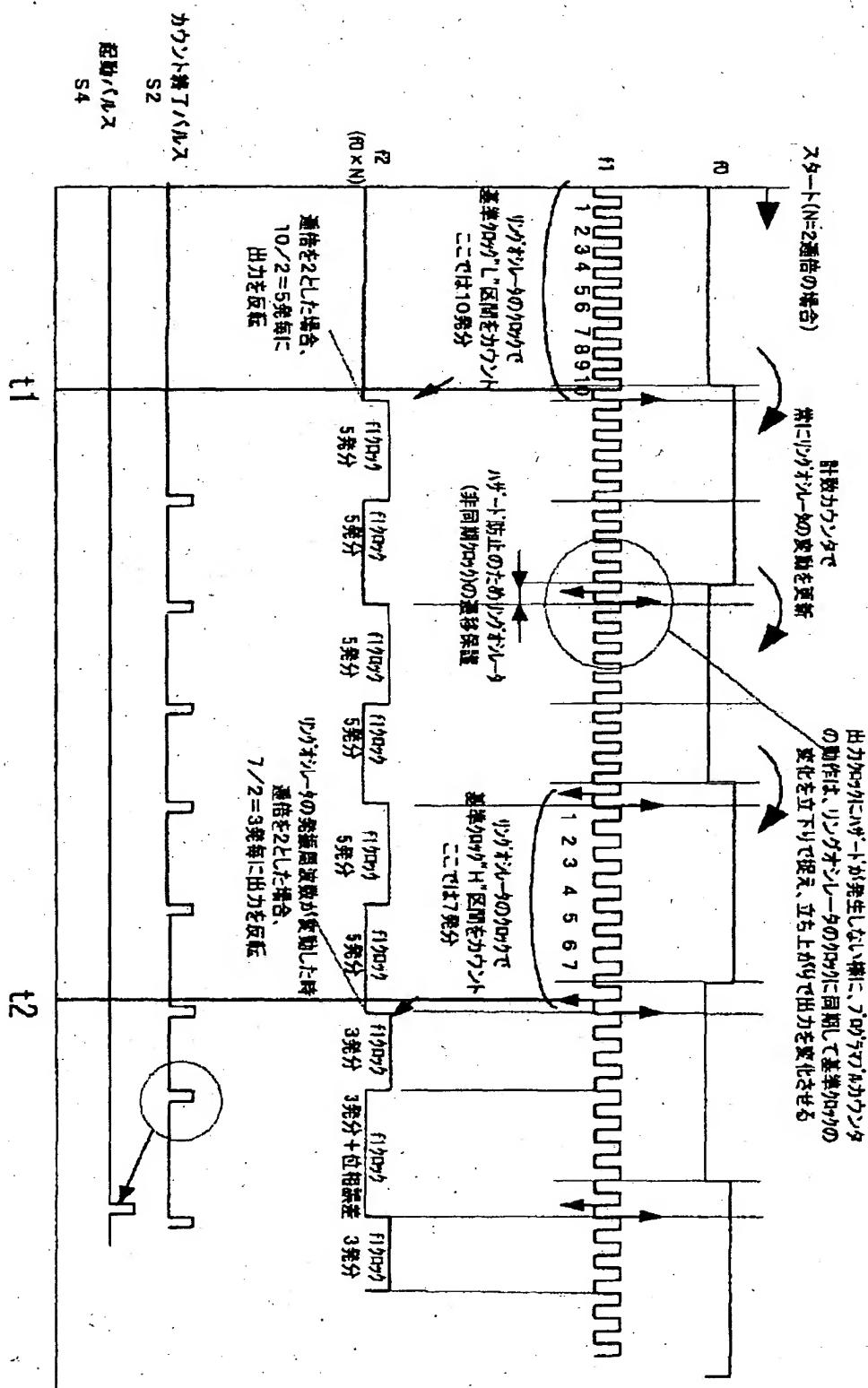
【図2】



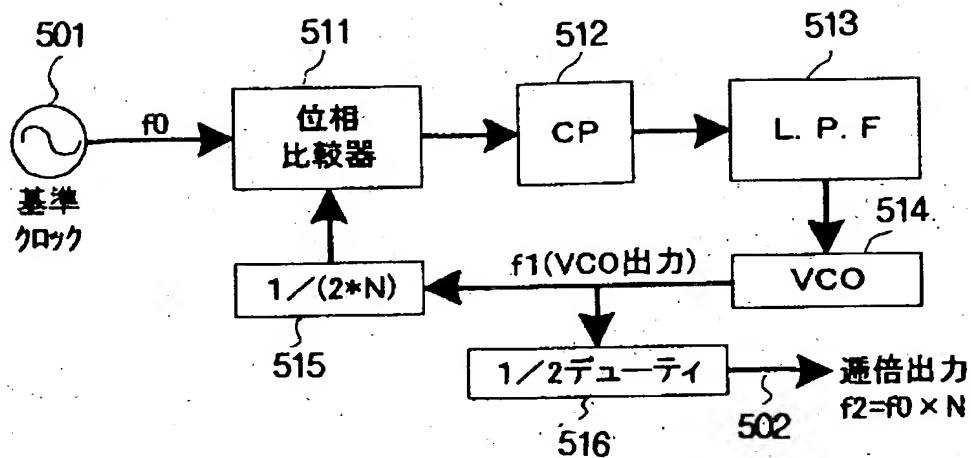
【図3】



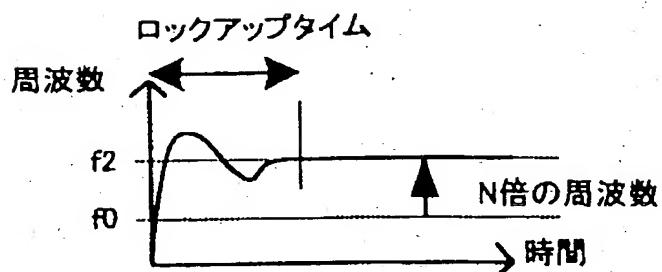
【図4】



【図5】



【図6】



【書類名】 要約書

【要約】

【課題】 アナログ素子を使用せずに、基準クロックから安定した周波数の通倍クロックを生成する。

【解決手段】 出力される通倍クロックの周波数に比べて十分高い周波数で発振するリングオシレータ111と、リングオシレータの出力クロックによる基準クロックのサンプリング出力をカウントして基準クロックの半周期のカウント値Mを得る基準クロックカウンタ112と、得られた基準クロックの半周期のカウント値Mを外部より与えられた通倍率Nで除した値を通倍カウント値 M/N とすると、きにリングオシレータの出力クロックにより通倍カウント値 M/N をカウントする度に通倍クロック出力を反転させることで基準クロックに対してN倍の周波数を有する通倍クロックを出力する通倍クロックカウンタ114とを備える。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社